

● EPODOC / EPO

PN - JP2003218231 A 20030731
PD - 2003-07-31
PR - JP20020016075 20020124
OPD - 2002-01-24
TI - SEMICONDUCTOR DEVICE
IN - KUMAGAI NAOKI; SASAKI KOJI; JINBO SHINICHI; ARITA
MASATAKA; FUJIHIRA TATSUHIKO; NAKAJIMA TSUNEHICO;
YOSHIDA KAZUHIKO
PA - FUJI ELECTRIC CO LTD
IC - H01L21/8234 ; H01L21/28 ; H01L21/3205 ; H01L21/336 ;
H01L21/768 ; H01L27/088 ; H01L29/78

● WPI / DERWENT

- TI - Semiconductor device e.g. hybrid integrated circuit has thin and thick metal wiring layers that are formed selectively on interlayer films formed on substrate, to form circuit and power device portions respectively
- PR - JP20020016075 20020124
- PN - JP2003218231 A 20030731 DW200365 H01L21/8234 008pp
- PA - (FJIE) FUJI ELECTRIC CO LTD
- IC - H01L21/28 ; H01L21/3205 ; H01L21/336 ; H01L21/768 ; H01L21/8234 ; H01L27/088 ; H01L29/78
- AB - JP2003218231 NOVELTY - An interlayer film (31) formed on a substrate has thin metal wiring layer (41) and source/drain electrode layers (51,52), that are processed and dry etched to form circuit portion (5). A thick metal wiring layer (46) formed on the wiring layer (41) through an interlayer film (35), is patterned to form power device portion (4).
- USE - Semiconductor device e.g. hybrid and control integrated circuit (IC) devices including circuit portion and power device portion consisting of power devices such as N-type or P-type horizontal or vertical MOSFETs, diode, horizontal or vertical insulated gate bipolar transistor (IGBT).
 - ADVANTAGE - Enables efficiently reducing the size of the semiconductor device, as the circuit portion is formed by precision processing and dry etching of thin metal layer formed on the substrate. The electrical resistance between the thin and thick metal wiring layers are decreased in the power device portion, restraining the loss by voltage drop.
 - DESCRIPTION OF DRAWING(S) - The figure shows a longitudinal

cross-sectional view of the semiconductor device.

- power device portion 4
- circuit portion 5
- interlayer films 31,35
- metal wiring layers 41,46
- source electrode layer 51
- drain electrode layer 52
- (Dwg.1/8)

OPD - 2002-01-24

AN - 2003-684468 [65]

© PAJ / JPO

PN - JP2003218231 A 20030731

PD - 2003-07-31

AP - JP20020016075 20020124

IN - KUMAGAI NAOKI FUJIHARA TATSUHIKO YOSHIDA
KAZUHIKO SASAKI KOJI NARITA MASATAKA NAKAJIMA
TSUNEHITO JINBO SHINICHI

PA - FUJI ELECTRIC CO LTD

TI - SEMICONDUCTOR DEVICE

AB - PROBLEM TO BE SOLVED: To provide a semiconductor device that constitutes an intelligent power device, in which a circuit is constituted to be suitable for microfabrication and a power device is constituted to make wiring resistance low for making the loss small.
- SOLUTION: A first metal wiring layer 41 (51, 52) suitably thin for microfabrication is formed on a substrate surface via a first interlayer film 31, and a second metal thick wiring layer 46 is thereon formed via a second interlayer film 35. The circuit 5 uses only the first metal wiring layer (51, 52) for the wiring so that microfabrication by dry etching is possible. The power device 4 uses the first and the second metal wiring layers 41, 46 for the wiring by contacting the second metal wiring layer 46 with the first metal wiring layer 41 to make the wiring resistance low.

I - H01L21/8234 ; H01L21/28 ; H01L21/3205 ; H01L21/336 ; H01L21/768 ; H01L27/088 ; H01L29/78

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開2003-218231

(P2003-218231A)

(43)公開日 平成15年7月31日(2003.7.31)

(51)Int.Cl. ⁷	識別記号	F I	テーム* (参考)	
H 0 1 L 21/8234		H 0 1 L 21/28	3 0 1 M	4 M 1 0 4
21/28	3 0 1	29/78	6 5 2 P	5 F 0 3 3
21/3205			6 5 2 Q	5 F 0 4 8
21/336			6 5 6 C	
21/768		27/08	1 0 2 D	
審査請求 未請求 請求項の数 9 O L (全 8 頁) 最終頁に続く				

(21)出願番号 特願2002-16075(P2002-16075)

(22)出願日 平成14年1月24日(2002.1.24)

(71)出願人 000005234

富士電機株式会社

神奈川県川崎市川崎区田辺新田1番1号

(72)発明者 熊谷 直樹

神奈川県川崎市川崎区田辺新田1番1号

富士電機株式会社内

(72)発明者 藤平 龍彦

神奈川県川崎市川崎区田辺新田1番1号

富士電機株式会社内

(74)代理人 100104190

弁理士 酒井 昭徳

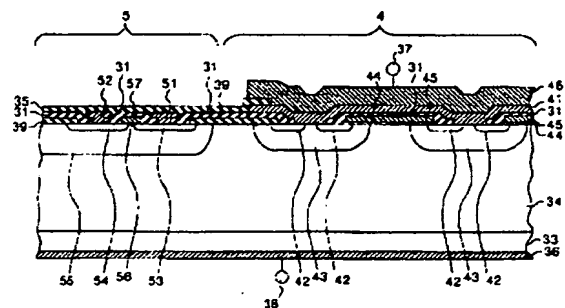
最終頁に続く

(54)【発明の名称】 半導体装置

(57)【要約】

【課題】 インテリジェントパワーデバイスを構成する半導体装置において、回路部を微細化に適した構成とし、かつパワーデバイス部を配線抵抗が低く損失の小さい構成とすること

【解決手段】 基板表面上に第1の層間膜31を介して微細加工が可能な程度に薄い第1の金属配線層41(51、52)を形成し、その上に第2の層間膜35を介して厚い第2の金属配線層46を形成する。回路部5では、第1の金属配線層(51、52)のみを用いて配線することによってドライエッチングによる微細加工が可能な構成とする。一方、パワーデバイス部4では、第1の金属配線層41に第2の金属配線層46を接触させて第1および第2の金属配線41、46により配線することによって配線抵抗を低くする。



【特許請求の範囲】

【請求項1】 パワー半導体素子を含むパワーデバイス部と、パワー半導体素子を含まない回路部とが同一半導体基板上に集積されたインテリジェントパワーデバイスを構成する半導体装置において、

基板表面上に選択的に形成された第1の層間膜と、前記第1の層間膜上に選択的に形成された薄い第1の金属配線層と、

前記第1の金属配線層上に選択的に形成された窒化シリコンよりなる第2の層間膜と、

前記第2の層間膜上に選択的に形成された厚い第2の金属配線層と、

を具備することを特徴とする半導体装置。

【請求項2】 パワー半導体素子を含むパワーデバイス部と、パワー半導体素子を含まない回路部とが同一半導体基板上に集積されたインテリジェントパワーデバイスを構成する半導体装置において、

基板表面上に選択的に形成された第1の層間膜と、前記第1の層間膜上に選択的に形成され、かつ前記第1の層間膜の開口部を介して前記半導体基板の半導体領域に電気的に接続する薄い第1の金属配線層と、

前記第1の金属配線層上に選択的に形成された第2の層間膜と、

前記第2の層間膜上に選択的に形成され、かつ前記第2の層間膜の開口部を介してパワーデバイス部における前記第1の金属配線層に接触する厚い第2の金属配線層と、

を具備することを特徴とする半導体装置。

【請求項3】 前記第2の金属配線層は、前記第2の層間膜の開口部を介してパワーデバイス部における前記第1の層間膜に接触していることを特徴とする請求項2に記載の半導体装置。

【請求項4】 パワーデバイス部における前記第1の金属配線層と前記第2の金属配線層との接触面積は、パワーデバイス部における前記第2の層間膜の開口部の面積の70%以下であることを特徴とする請求項3に記載の半導体装置。

【請求項5】 前記第2の金属配線層は、前記第2の層間膜の開口部を介してパッド部における前記第1の金属配線層に接触していることを特徴とする請求項2～1のいずれか一つに記載の半導体装置。

【請求項6】 前記第2の金属配線層は、前記第2の層間膜の開口部を介してパッド部における前記第1の層間膜に接触していることを特徴とする請求項5に記載の半導体装置。

【請求項7】 前記第2の金属配線層は、前記第2の層間膜の開口部を介して、回路部内の複数の回路ブロックに電源電位を給電する電源配線主幹部、または回路部内の複数の回路ブロックに基準電位を給電する基準電位配線主幹部における前記第1の金属配線層に電気的に接続

されていることを特徴とする請求項2に記載の半導体装置。

【請求項8】 前記第2の金属配線層の電位は、前記第2の層間膜を挟んで当該第2の金属配線層の直下に位置する前記第1の金属配線層の電位と同じであることを特徴とする請求項1～7のいずれか一つに記載の半導体装置。

【請求項9】 前記第2の金属配線層は、回路部内のアナログ回路部分の上に前記第2の層間膜を介して形成されており、当該第2の金属配線層の電位は基準電位、または基準電位に対して一定の電位差で固定された電位であることを特徴とする請求項2に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置に関し、特に同一半導体基板上にパワーデバイスとその駆動回路等が集積されたインテリジェントパワーデバイスを構成する半導体装置に関する。

【0002】

【従来の技術】インテリジェントパワーデバイスは、従来のパワーデバイスと制御IC等を組み合わせたハイブリッドICと比べて、小型化が可能であり、部品点数が少ないため信頼性の向上が期待できるなどの利点があり、近時、急速に適用範囲が拡大している。図8は、従来のインテリジェントパワーデバイスの構成を示す縦断面図であり、図示例では、パワーデバイス部1として縦型nチャネルMOSFETが示されており、また、回路部2として横型nチャネルMOSFETが示されている。

【0003】パワーデバイス部1では、ソース電極11は、層間膜31の開口部を介してn⁺ソース領域12およびpチャネル領域13に共通に接続されている。回路部2では、ソース電極21およびドレイン電極22は、層間膜31の開口部を介してn⁺ソース領域23およびn⁺ドレイン領域24にそれぞれ接続されている。これらパワーデバイス部1のソース電極11、並びに回路部2のソース電極21およびドレイン電極22は、層間膜31上に積層した金属配線層のバタニングにより、同時に形成される。また、デバイス表面を覆うハッシュベーション膜32は、パワーデバイス部1のソース電極11、および回路部2の、図には現われていないパッド部等では除去されており、ボンディングワイヤの接続箇所となっている。

【0004】

【発明が解決しようとする課題】しかしながら、上述した従来のインテリジェントパワーデバイスでは、パワーデバイス部1に流れる大電流による電圧降下を小さくするため、配線抵抗を低くする必要があり、そのため、金属配線層の厚さは3～10μm程度と厚く、微細加工が可能なドライエッチングにより金属配線層のバタニング

グをおこなうことができない。したがって、ウェットエッチングが採用されているが、その際に起こるサイドエッチのため、パワーデバイス部1の金属配線層を微細化することは困難である。これは、パワーデバイス部1のみならず、金属配線層がパワーデバイス部1と回路部2とに同時に形成されるため、回路部2においても同様であり、回路部2の金属配線層も微細化することは困難である。したがって、チップサイズが大きいという不都合があった。そこで、微細化を図るため、金属配線層を薄くすると、配線抵抗が増大し、パワーデバイス部1での電圧降下が大きくなって損失が増大するという不具合があった。

【0005】本発明は、上記問題点に鑑みてなされたものであって、微細化に適した構成の回路部と、配線抵抗が低く損失の小さいパワーデバイス部とが同一半導体基板上に集積されたインテリジェントパワーデバイスを構成する半導体装置を提供することを目的とする。

【0006】

【課題を解決するための手段】上記目的を達成するため、本発明にかかる半導体装置は、パワーデバイス部と駆動回路や保護回路などの回路部とが同一半導体基板上に集積されたインテリジェントパワーデバイスにおいて、基板表面上に第1の層間膜を介して微細加工が可能な程度に薄い第1の金属配線層を形成し、その上に第2の層間膜を介して厚い第2の金属配線層を形成し、回路部では第1の金属配線層のみを用いて配線し、パワーデバイス部では第1の金属配線層に第2の金属配線層を接触させて第1および第2の金属配線により配線した構成のものである。この発明によれば、回路部では第1の金属配線層により、ドライエッチングによる微細加工が可能な厚さの配線が形成され、パワーデバイス部では第1および第2の金属配線により電気抵抗の低い配線が形成される。

【0007】

【発明の実施の形態】以下に、本発明の実施の形態について図面を参照しつつ詳細に説明する。なお、特に限定しないが、たとえばパワーデバイス部を構成するパワー半導体素子として縦型nチャネルMOSFETについて説明し、また、回路部を構成する半導体素子として横型nチャネルMOSFETについて説明する。

【0008】実施の形態1。図1は、本発明の実施の形態1にかかる半導体装置の構成を示す縦断面図である。まず、パワーデバイス部4の構成について説明する。n⁺ドレイン領域33上にn⁺領域34が形成され、その表面層にpチャネル領域13が形成され、さらにその表面層にn⁺ソース領域42が形成されている。pチャネル領域43の、n⁺ソース領域42とn⁺領域34との間の表面上にはゲート酸化膜44を介してポリシリコンゲート電極45が形成されている。

【0009】ポリシリコンゲート電極45上にはたとえ

ばPSG（燐ガラス）よりなる第1の層間膜31が積層されており、その第1の層間膜31の開口部を介して第1の金属配線層41がn⁺ソース領域42とpチャネル領域43に共通に接触している。ここで、第1の金属配線層41は第1の層間膜31上を覆っている。つまり、第1の金属配線層41は、第1の層間膜31のある開口部に露出するn⁺ソース領域42およびpチャネル領域43から、第1の層間膜31上を経て、第1の層間膜31の別の開口部に露出するn⁺ソース領域42およびpチャネル領域43まで一続きに伸びている。第1の金属配線層41はたとえばAl-Siでできており、その厚さはドライエッチングによる微細加工が可能な程度、たとえば1μm程度である。

【0010】第1の金属配線層41上には、絶縁性の窒化シリコン膜または抵抗性の窒化シリコン膜などでできた第2の層間膜35が選択的に積層されており、さらにその上には第2の金属配線層46が選択的に積層されている。第2の層間膜35は、パワーデバイス部4における第1の金属配線層41のほぼ全面が露出するように開口している。したがって、パワーデバイス部4では、第2の金属配線層46は第1の金属配線層41に沿って伸び、第1の金属配線層41のほぼ全面に接触している。第2の金属配線層46はたとえばAlでできており、その厚さは、第1の金属配線層41と第2の金属配線層46とで構成される配線に流れる大電流による電圧降下が従来のハイブリッド1におけるパワーデバイスと同程度となるような厚さ、たとえば第1の金属配線層41の厚さを1μmとすれば2、9μm程度である。

【0011】また、n⁺ドレイン領域33にはドレイン電極36が接続されている。図1において、符号37はパワーデバイス部4のソース端子であり、符号38はパワーデバイス部4のドレイン端子である。

【0012】なお、第2の金属配線層46としてAl-Si等のシリコンを含む金属を使用した場合には、エッチング後に第2の層間膜35を構成する窒化膜上にシリコンが析出し、このシリコンをエッチングする工程で窒化膜にダメージが生じる。これを防ぐため、第2の金属配線層46としてAl配線を用いている。ただし、第2の層間膜35の膜種や厚さ等を適当に選択することにより、第2の金属配線層46としてAl-Si配線やAl-Si-Cu配線を用いることも可能である。

【0013】つぎに、回路部5の構成について説明する。n⁺領域34の表面層にpウェル領域55が形成され、その表面層にn⁺ソース領域53およびn⁺ドレイン領域54が形成されている。pウェル領域55の、n⁺ソース領域53とn⁺ドレイン領域54との間の表面上にはゲート酸化膜56を介してポリシリコンゲート電極57が形成されている。ポリシリコンゲート電極57上には、パワーデバイス部1と共通の第1の層間膜31が積層されている。

【0014】ソース電極51およびドレイン電極52は、第1の層間膜31の開口部を介してn⁺ソース領域53およびn⁺ドレイン領域54にそれぞれ接続されている。ここで、ソース電極51およびドレイン電極52は、パワーデバイス部4における第1の金属配線層41と共通の工程で形成されている。すなわち、ソース電極51およびドレイン電極52は、第1の金属配線層41のハターニングにより形成されている。このハターニングはドライエッチングによりおこなわれる。さらにその上には、パワーデバイス部4における第2の層間膜35がハッシュン膜として積層されている。回路部5では、第2の金属配線層46は除去されている。なお、図1において、符号37は素子分離用の熱酸化膜である。

【0015】ところで、パワーデバイス部4の縦型MOSFETのソース電極や、回路部5などのパッド部には通常ワイヤボンディングにより端子の引き出し配線をおこなう。回路部5の、図には現われていないパッド部においても、上述したように第1の金属配線層41および第2の金属配線層46により厚い金属電極構造とするのが望ましい。その理由は、ワイヤボンディング時のストレスにより下地の酸化膜や、シリコン表面等にマイクロクラックなどのダメージが発生するのを防ぐことができる、したがって組み立て時の不良率を低減することができるからである。

【0016】また、第1の金属配線層41と第2の金属配線層46との間に第2の層間膜35が挟まれている部分では、第1の金属配線層41の電位はその直下の第2の金属配線層46の電位とすべて等しくなっているのが望ましい。その理由は、万一、第2の層間膜35にヒンホール等が存在しても、第1の金属配線層41と第2の金属配線層46とが短絡することによる不良の発生が回避されるからである。

【0017】上述した実施の形態1によれば、回路部5では第1の金属配線層41により、ドライエッチングによる微細加工が可能な厚さの配線が形成されるので、回路部5が微細加工に適した構成となり、回路部5を作製する際にドライエッチングによる微細加工を実施することによってチップサイズを小さくすることができ、また、パワーデバイス部4では第1および第2の金属配線層41、46により電気抵抗の低い配線が形成されるので、電圧降下による損失や発熱を抑えることができる。したがって、微細化に適した構成の回路部5と、配線抵抗が低く損失の小さいパワーデバイス部4とを同一半導体基板上に集積したインテリジェントパワーデバイスが得られる。

【0018】実施の形態2、図2は、本発明の実施の形態2にかかる半導体装置の構成を示す縦断面図である。図2に示す実施の形態2の半導体装置は、以下の点で、図1に示す実施の形態1と異なる。すなわち、上述した

ように、実施の形態1のパワーデバイス部4では、第2の金属配線層46は第1の金属配線層41のほぼ全面に接触している。それに対して、実施の形態2のパワーデバイス部6では、第1の層間膜31上では第1の金属配線層41が除去されているため、第1の層間膜31が露出し、第1の層間膜31の、この露出した部分に第2の金属配線層46が接触している。その他の構成は実施の形態1と同じであるので、実施の形態1と同じ構成については実施の形態1と同一の符号を付して説明を省略する。

【0019】ところで、金属、特にAlを主成分とする配線層を使用する場合、配線層の表面には自然酸化膜が存在する。実施の形態1のように2層の金属配線層41、46により構成されるパッド部にてワイヤボンディングをおこなうと、第1の金属配線層41の表面に存在する自然酸化膜の影響により、2層の金属配線層41、46がその界面から剝離するなどの信頼性の問題が考えられる。そこで、実施の形態2のように、第2の金属配線層4を第1の層間膜31に直接接触部分を設けることにより、第2の金属配線層4の機械的密着性が向上し、界面での剝離を防ぐことができる。

【0020】これを検証するため、本発明者らは、第1の金属配線層41と第2の金属配線層46との接触面積の、第2の層間膜35の開口面積に閉める割合を0～100%の間で10%刻みで変化させて、ワイヤボンディングに対する剝がれ強度を調べる実験をおこなった。図3に、その実験結果をプロットした図を示す。図3より、第1の金属配線層41と第2の金属配線層46との接触面積の割合が70%以下で剝がれ強度が高く、80%以上で低いことがわかった。また、接触面積の割合が60%以下であれば、剝がれ強度は、接触面積の割合が0%、すなわち1層構造の金属配線層の場合とほとんど変わらないことがわかった。したがって、第1の金属配線層41と第2の金属配線層46との接触面積の、第2の層間膜35の開口面積に閉める割合は70%以下であるのが望ましい。

【0021】ここで、第2の層間膜35のエッチング時に、第1の層間膜31の露出部分がエッチングされてしまうのを防止するため、第2の層間膜35は、第1の層間膜31とのエッチングレートの差（選択比）が大きい材料でできているのが望ましい。たとえば実施の形態1と同様に、第1の層間膜35をPSGやBPSG等のシリコン酸化膜で構成し、第2の層間膜35として窒化シリコン膜を用いるとよい。

【0022】なお、実施の形態2において第1の層間膜31の開口部はすべて第1の金属配線層41で覆われている。その理由は、第1の層間膜31の開口部で第1の金属配線層41を除去してしまうと、Al-Siでできた第1の金属配線層41のエッチング後にシリコンのエッチングをおこなうときにコンタクト部のシリコンがエ

ッチングされてしまい、コンタクト抵抗の上昇などの不具合が発生するおそれがあり、それを回避するためである。

【0023】上述した実施の形態2によれば、パワーデバイス部6およびパッド部において、第2の金属配線層46と第1の金属配線層41との接触面積を小さくして、第2の金属配線層46がPSG等の金属との密着性の高い第1の層間膜31と接触する面積が大きくなることによって、ワイヤボンディングによる第2の金属配線層46の剥離を防ぐことができる。

【0024】実施の形態3、図4は、本発明の実施の形態3にかかる半導体装置の構成を示す縦断面図である。図4には、回路部7のパッド部70が示されている。なお、パワーデバイス部6は、図2に示す実施の形態2のパワーデバイス部6と同じであるため、説明を省略する。図4に示すように、パッド部70は、熱酸化膜39上に第1の層間膜31が積層され、その上に第1の金属配線層71が選択的に形成されている。

【0025】パッド部70では、第1の金属配線層71の一部が除去されており、第1の層間膜31が露出している。そして、第2の層間膜35の開口部において、第2の金属配線層72が第1の金属配線層71および第1の層間膜31に接触している。ここで、第1の金属配線層71および第2の金属配線層72はそれぞれパワーデバイス部6における第1の金属配線層41および第2の金属配線層46と共通の工程で形成される。

【0026】上述した実施の形態3によれば、パッド部70において、第2の金属配線層72が第1の金属配線層71および第1の層間膜31と接触しているため、ワイヤボンディングによる第2の金属配線層72の剥離を防ぐことができる。なお、パッド部70では電気抵抗の問題が少なく、また通常、第1の層間膜31に開口部が存在しない。そのため、図4に示すように、第2の金属配線層72が第1の金属配線層71に接触する部分をパッド部70の周辺領域のみとし、パッド部70の、ワイヤボンディングをおこなう中央領域の第1の金属配線層71を除去しても何ら問題はない。

【0027】実施の形態4、図5は、本発明の実施の形態4にかかる半導体装置の構成を示す平面図であり、図6は図5のA-A'における縦断面図である。図5において、符号S1は回路部内に複数設けられた回路ブロックの一つである。個々の回路ブロックS1には、回路部内の複数の回路ブロックに電源電位を給電するための電源配線主幹部S2から伸びる電源配線枝部S3を介して電源電位が給電される。また、個々の回路ブロックS1には、回路部内の複数の回路ブロックに基準電位を給電するための基準電位配線主幹部S4から伸びる基準電位配線枝部S5を介して基準電位が給電される。

【0028】図5および図6に示すように、電源配線枝部S3は、第1の層間膜31上に形成された第1の金属

配線層S6のみで構成されている。基準電位配線枝部S5も同様である。一方、電源配線主幹部S2は、第1の金属配線層S6と、その上に第2の層間膜35を介して形成された第2の金属配線層S7とにより構成されている。第2の金属配線層S7は第2の層間膜35の開口部S8を介して第1の金属配線層S6に電氣的に接続されている。基準電位配線主幹部S4も同様である。ここで、第1の金属配線層S6および第2の金属配線層S7はそれぞれ上述した実施の形態1における第1の金属配線層41および第2の金属配線層46と同様に共通の工程で形成される。

【0029】なお、電源配線主幹部S2または基準電位配線主幹部S4において、第2の層間膜35の開口部S8を、電源配線主幹部S2または基準電位配線主幹部S4に沿って複数設けてもよいし、また、電源配線主幹部S2または基準電位配線主幹部S4に沿って帯状に伸びる形状としてもよい。また、開口部S8の幅を、第2の金属配線層S7の幅よりも狭いもの、第1の金属配線層S6の幅よりも広くなるようにし、それによって第2の金属配線層S7が、第1の金属配線層S6とともに第1の層間膜31にも接触する構成としてもよい。

【0030】上述した実施の形態4によれば、電源配線主幹部S2および基準電位配線主幹部S4が、第1の金属配線層S6および厚い第2の金属配線層S7により構成されているため、これら主幹部S2、S4の配線抵抗が小さくなり、ここを流れる電流によって生じる電圧降下を小さくすることができる。したがって、電圧降下による回路の誤動作を防止することができる。

【0031】実施の形態5、一般に、インテリジェントスイッチングデバイスのように回路部とパワーデバイス部、特に高耐压のデバイスとを同一基板上または同一パッケージ内に集積した場合、高耐压部の高電位により、低電位の回路部表面上にイオン等による電荷が蓄積されやすくなる。電荷が蓄積されると、シリコン表面に蓄積層や空乏層、または反転層が形成され、それによって回路の特性が変化してしまうことがある。この現象は、特に、微妙な特性が要求されるアナログ回路部では重要である。

【0032】そこで、実施の形態5では、第2の金属配線層97をアナログ回路のシールドに利用したものである。図7は、本発明の実施の形態5にかかる半導体装置の構成を示す平面図である。図7において、符号91は回路部内に複数設けられた回路ブロックのうちのアナログ回路ブロックである。実施の形態4と同様に、アナログ回路ブロック91には、電源配線主幹部92から伸びる電源配線枝部93を介して電源電位が給電され、また基準電位配線主幹部94から伸びる基準電位配線枝部95を介して基準電位が給電される。

【0033】電源配線枝部93および基準電位配線枝部95は第1の金属配線層96のみで構成されている。電

源配線主幹部92および基準電位配線主幹部94は、第1の金属配線層96と、これに第2の層間膜の開口部98を介して電氣的に接続された第2の金属配線層97とにより構成されている。ここで、第1の金属配線層96および第2の金属配線層97はそれぞれ上述した実施の形態1における第1の金属配線層41および第2の金属配線層46と同様に共通の工程で形成される。

【0034】図7に示す例では、基準電位配線主幹部94を構成する第2の金属配線層97は、第1および第2の層間膜31、35を介してアナログ回路ブロック91上を覆うように伸びてシールド電極99を構成しており、その下のアナログ回路ブロック91をシールドしている。この場合、シールド電極99の電位は基準電位に固定される。なお、シールド電極99の電位を電源電位など、基準電位に対し変動しない電位に固定してもよい。

【0035】上述した実施の形態5によれば、第2の金属配線層97をアナログ回路ブロック91のシールド電極99として用いるため、インテリジェントスイッチングデバイスの高電位による電荷の蓄積に対してアナログ回路の特性変動を防ぐことができる。また、高耐圧部の高電位によりシールド電極99上にイオン等の電荷が蓄積されても、シールド電極99が基準電位に固定されているため、その下のアナログ回路ブロック91の特性が変化することを防ぐことができる。

【0036】以上において本発明は種々変更可能である。たとえばp型とn型が逆転している場合にも本発明は適用可能である。また、回路部またはパワーデバイス部を構成する半導体素子としては、上述した各実施の形態のMOSFET以外にも、ダイオードなど種々の半導体素子がある。特に、パワーデバイス部の半導体素子は縦型MOSFETに限らず、縦型IGBT、横型MOSFETまたは横型IGBTなどでもよい。

【0037】

【発明の効果】本発明によれば、回路部では第1の金属配線層により、ドライエッチングによる微細加工が可能で厚さの配線が形成されるので、回路部が微細加工に適した構成となり、回路部を作製する際にドライエッチングによる微細加工を実施することによってチップサイズ

を小さくすることができる。また、パワーデバイス部では第1および第2の金属配線により電気抵抗の低い配線が形成されるので、電圧降下による損失を抑えることができる。したがって、微細化に適した構成の回路部と、配線抵抗が低く損失の小さいパワーデバイス部とを同一半導体基板上に集積したインテリジェントパワーデバイスが得られる。

【図面の簡単な説明】

【図1】本発明の実施の形態1にかかる半導体装置の構成を示す縦断面図である。

【図2】本発明の実施の形態2にかかる半導体装置の構成を示す縦断面図である。

【図3】本発明の実施の形態2にかかる半導体装置の金属配線層の接触面積比に対する割がけ強度の関係を示す特性図である。

【図4】本発明の実施の形態3にかかる半導体装置の構成を示す縦断面図である。

【図5】本発明の実施の形態4にかかる半導体装置の構成を示す平面図である。

【図6】図5のA-A'における縦断面図である。

【図7】本発明の実施の形態5にかかる半導体装置の構成を示す平面図である。

【図8】従来のインテリジェントパワーデバイスの構成を示す縦断面図である。

【符号の説明】

4、6 パワーデバイス部

5、7 回路部

31 第1の層間膜

35 第2の層間膜

41、71、86、96 第1の金属配線層

46、72、87、97 第2の金属配線層

51 第1の金属配線層（ソース電極）

52 第1の金属配線層（ドレイン電極）

70 ハッド部

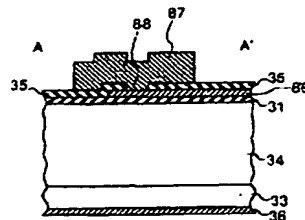
81 回路ブロック

82、92 電源配線主幹部

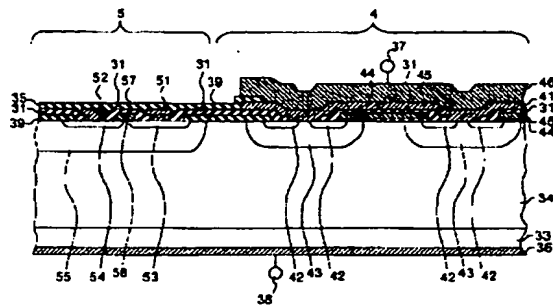
84、94 基準電位配線主幹部

91 アナログ回路ブロック

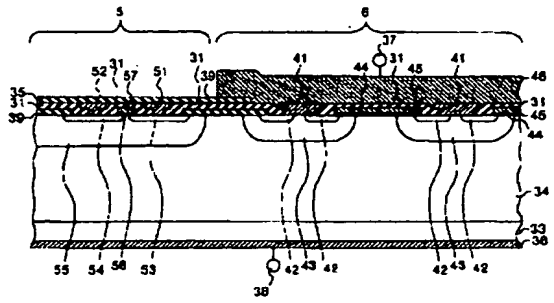
【図6】



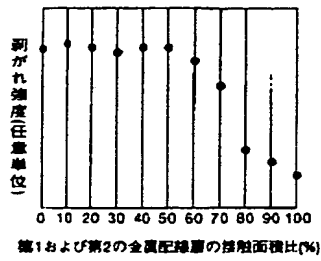
【図1】



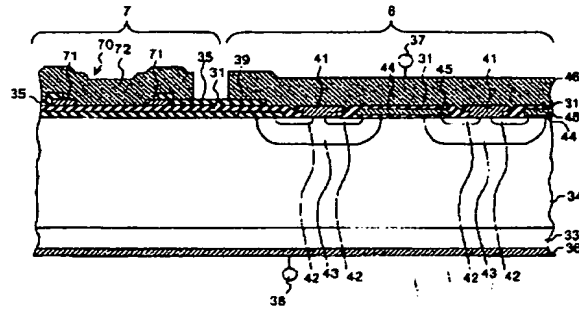
【図2】



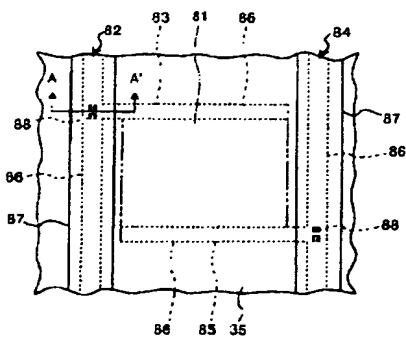
【図3】



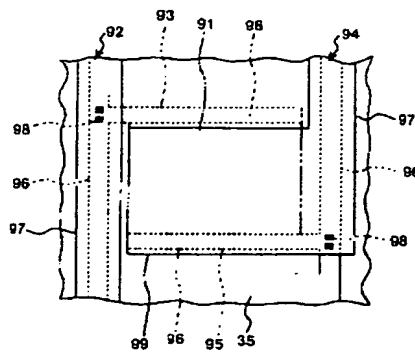
【図4】



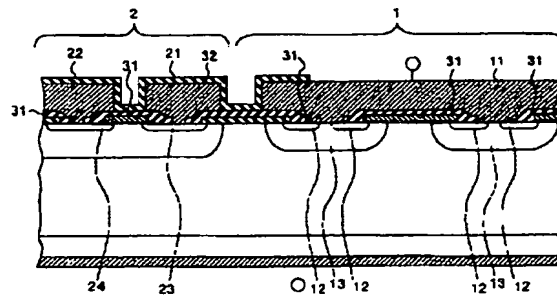
【図5】



【図7】



【図8】



フロントページの続き

(51) Int. Cl.⁷

H 0 1 L 27/088

29/78

識別記号

6 5 2

6 5 6

F I

H 0 1 L 21/90

29/78

21/88

7-75-V (参考)

C

6 5 8 J

R

(72) 発明者 吉田 和彦

神奈川県川崎市川崎区田辺新田1番1号

富士電機株式会社内

(72) 発明者 佐々木 弘次

神奈川県川崎市川崎区田辺新田1番1号

富士電機株式会社内

(72) 発明者 成田 政隆

神奈川県川崎市川崎区田辺新田1番1号

富士電機株式会社内

(72) 発明者 中嶋 経宏

神奈川県川崎市川崎区田辺新田1番1号

富士電機株式会社内

(72) 発明者 神保 信一

神奈川県川崎市川崎区田辺新田1番1号

富士電機株式会社内

Fターム(参考) 4Y101 BB01 BB02 BB03 CC01 CC05

DD17 DD19 DD65 EE03 EE16

FF13 GG09 GG18 HH14 HH15

HH16

5F033 HH04 HH08 HH09 JJ01 JJ09

KK01 MM05 MM28 QQ09 QQ11

QQ35 QQ37 RR06 RR14 RR15

TT02 VV01 VV06 VV07 XX09

XX10 XX22

5F048 AA01 AC06 BA01 BB05 BC03

BC12 BD07 BE03 BF01 BF02

BF11 BF16

